



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0016020
Application Number

출원 년 월 일 : 2003년 03월 14일
Date of Application MAR 14, 2003

출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



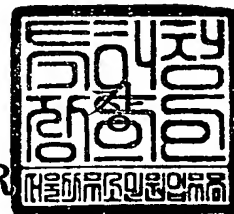
2003 년 10 월 24 일

특

허

청

COMMISSIONER





1020030016020

출력 일자: 2003/10/29

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.03.14
【발명의 명칭】	반도체소자의 제조 방법
【발명의 영문명칭】	METHOD FOR FORMING SEMICONDUCTOR DEVICE
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	황창연
【성명의 영문표기】	HWANG, Chang Youn
【주민등록번호】	690710-1670111
【우편번호】	467-080
【주소】	경기도 이천시 사음동 564-7 동진오피스텔 207호
【국적】	KR
【발명자】	
【성명의 국문표기】	김동석
【성명의 영문표기】	KIM, Dong Sauk
【주민등록번호】	600212-1674616
【우편번호】	138-853
【주소】	서울특별시 송파구 송파동 삼성아파트 105-1304
【국적】	KR
【발명자】	
【성명의 국문표기】	정진기
【성명의 영문표기】	JUNG, Jin Ki
【주민등록번호】	670129-1093311



1020030016020

출력 일자: 2003/10/29

【우편번호】	467-860
【주소】	경기도 이천시 부발읍 신하리 신한아파트 101-105
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 특허법인 신성 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	4 면 4,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	0 항 0 원
【합계】	33,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 스토리지노드콘택 식각시 비트라인하드마스크가 손상되는 것을 방지하고, 스토리지노드콘택의 오픈면적을 확보하기 위한 습식세정시 하부층이 습식케미컬에 의해 어택받는 것을 방지하는데 적합한 반도체 소자의 제조 방법을 제공하기 위한 것으로, 본 발명은 복수개의 비트라인패턴을 형성한 후, 비트라인패턴 사이에 층간절연막을 일부 잔류시키고, 잔류하는 층간절연막 상에 비트라인패턴의 상단부 및 모서리를 덮는 제1두께가 비트라인패턴의 측면부를 덮는 제2두께보다 두꺼운 형태의 단차피복성을 갖는 PE-절화막을 형성하며, PE-절화막을 마스크없이 에치백하여 스토리지노드콘택홀을 형성함과 동시에 비트라인패턴의 측면부에 산화막으로 된 스페이서를 형성하므로써, 감광막을 적용하지 않으면서 스토리지노드콘택을 완전히 개방시키므로 수직프로파일을 확보하여 오픈면적 확보 및 콘택오픈불량을 개선시킬 수 있는 효과가 있다.

【대표도】

도 3e

【색인어】

스토리지노드콘택, 자기정렬콘택식각, 비트라인하드마스크, 플라즈마방식, 저압방식, 스페이서, 오버행

【명세서】

【발명의 명칭】

반도체소자의 제조 방법{METHOD FOR FORMING SEMICONDUCTOR DEVICE}

【도면의 간단한 설명】

도 1도 1a는 종래 기술에 따른 반도체 소자의 평면도,

도 1b는 도 1a의 A-A'선에 따른 단면도,

도 1c는 도 1a의 B-B'선에 따른 단면도,,

도 1d는 라인형 콘택마스크를 도입한 경우를 도시한 평면도,

도 2a는 종래 기술에 따른 비트라인패턴 불량 및 비트라인과 스토리지노드콘택간 브릿지를 도시한 도면,

도 2b는 종래 기술에 따른 스토리지노드콘택홀의 경사진 프로파일을 도시한 도면,

도 2c는 종래 기술에 따른 습식케미컬에 의한 하부층의 어택을 도시한 도면,

도 3a 내지 도 3e는 본 발명의 실시예에 따른 반도체 소자의 제조 방법을 도시한 공정 단면도,

도 4는 PE-질화막의 에치백후의 A-A' 단면을 도시한 사진,

도 5는 PE-질화막의 에치백후의 B-B' 단면을 도시한 사진,

도 6은 PE-질화막의 에치백후의 평면을 도시한 사진.

*도면의 주요 부분에 대한 부호의 설명

31 : 반도체 기판

32 : 필드산화막



33 : 워드라인	34 : 워드라인스페이서
35 : 제1층간절연막	36a, 36b : 제1플러그
37 : 제2층간절연막	38 : 배리어메탈
39 : 비트라인배선막	40 : 비트라인하드마스크
41 : 제1배리어층	42 : 제3층간절연막
43 : 라인형 콘택마스크	44 : PE-질화막

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <20> 본 발명은 반도체 제조 기술에 관한 것으로, 특히 반도체 소자의 자기정렬콘택 식각 방법에 관한 것이다.
- <21> 반도체 소자의 집적도가 증가함에 따라 게이트라인과 같은 전도라인 간의 간극이 좁아지고 있으며, 이에 따라 콘택 공정 마진이 줄어들고 있다. 이러한 콘택 공정 마진을 확보하기 위하여 자기정렬콘택(Self Aligned Contact; SAC) 공정을 진행하고 있다. 한편, 통상의 자기정렬콘택 공정은 배리어 질화막(barrier nitride)을 사용하여 콘택 식각 공정의 마진을 증대시키는 방법을 사용하고 있다.
- <22> 도 1a는 종래 기술에 따른 반도체 소자의 평면도이다.
- <23> 도 1a에 도시된 바와 같이, 반도체 기판에 섬형(island type) 활성영역이 형

성되고, 반도체 기판 상부에 일방향으로 가로지르는 워드라인(WL)이 형성되며, 워드라인(WL) 사이의 활성영역상에 제1플러그가 형성된다. 그리고, 제1플러그 상에 워드라인(WL)과 직교하는 방향으로 비트라인(BL)이 형성되고, 비트라인(BL) 사이의 제1플러그에 수직으로 연결되는 제2플러그를 형성한다. 여기서, 제2플러그는 스토리지노드콘택이고, 제1플러그는 제2플러그 및 비트라인이 콘택될 플러그이다. 그리고, 워드라인(WL) 및 비트라인(BL)은 각각 워드라인스페이서(WLS) 및 비트라인스페이서(BLS)를 구비한다.

<24> 도 1b는 도 1a의 A-A'선에 따른 단면도이고, 도 1c는 도 1a의 B-B'선에 따른 단면도이다.

<25> 도 1b 및 도 1c를 참조하여, 종래 기술의 반도체 소자의 제조 방법을 설명하면, 반도체 기판(11)에 섬형 활성영역을 정의하는 필드산화막(12)을 형성하고, 반도체 기판(11) 상에 워드라인스페이서(14)를 구비하는 워드라인(13)을 형성하며, 워드라인(13) 상부에 제1층간절연막(15)을 형성한다. 그리고, 제1층간절연막(15)을 식각하여 제1플러그용 콘택홀을 형성한 후, 제1플러그용 콘택홀에 도전막을 증착한 후 화학적기계적연마하여 제1플러그(16a, 16b)를 형성한다.

<26> 다음으로, 제1플러그(16a, 16b) 및 제1층간절연막(15) 상에 제2층간절연막(17)을 형성한 후, 제2층간절연막(17)을 식각하여 비트라인이 콘택될 제1플러그(16a)를 개방시키는 비트라인 콘택홀(도시 생략)을 형성한다. 다음에, 비트라인콘택홀에 배리어메탈(18)을 형성하고, 배리어메탈(18) 상에 비트라인배선막(19), 비트라인하드마스크(20)의 순서로 적층된 비트라인패턴을 형성한 후, 비트라인패턴을 포함한 전면에 배리어층(21)을 형성한다.

- <27> 다음에, 비트라인패턴 및 배리어층(21)을 포함한 전면에 제3층간절연막(22)을 형성한 후, 감광막으로 된 스토리지노드콘택마스크(23)를 이용하여 제3층간절연막(22), 배리어층(21) 및 제2층간절연막(17)을 식각하여 제1플러그(16b) 상부를 개방시키는 스토리지노드콘택홀(24)을 형성한다.
- <28> 전술한 종래 기술에서는, 스토리지노드콘택홀(24) 개방시에 비트라인패턴의 어깨부(shoulder)까지는 직접 콘택(direct contact) 식각 공정을 하고, 비트라인 어깨부부터는 자기정렬콘택(SAC) 식각 공정을 이용하여 하부층들을 식각한다.
- <29> 또한, 자기정렬콘택(SAC)을 형성하는 공정에서 소자가 고집적화될수록 디자인을 마진(design rule margin)을 고려하여 홀 형태(Hole type)의 콘택에서 라인 형태(Line type)의 콘택으로 형성하고 있다.
- <30> 도 1d는 라인형 콘택마스크를 도입한 경우를 도시한 평면도로서, 라인형 콘택마스크(23)를 이용하는 경우, 마스크 오버레이 마진(mask overlay margin)은 확보가 가능하지만 자기정렬콘택 식각 공정에서는 배리어층(21)과의 선택비 저하로 자기정렬콘택 패일(SAC fail)을 유발시키는 문제가 있다. 즉, 고집적화될수록 비트라인 CD(Critical Dimension) 및 정렬마진이 점점 작아지게 됨에 따라 스토리지노드콘택 식각시 비트라인과 고선택비를 가지는 자기정렬콘택 식각 레시피를 적용하게 되는데, 이때 배리어층(21)으로 이용되는 질화막이 충분히 식각배리어 역할을 하지 못하여 비트라인하드마스크(20)를 손상시키고, 이로써 비트라인패턴 불량 및 비트라인배선막과 스토리지노드콘택간 브릿지를 유발하는 문제가 발생한다(도 2a 참조).
- <31> 이를 해결하기 위해 배리어층(21)의 두께를 증가시킬 경우, 공정 마진 감소 및 종횡비(aspect ratio) 증가에 의한 자기정렬콘택 식각공정의 공정 마진 감소를 초래한다. 더욱이, 종횡비 증가는 제3층간절연막(22) 증착시 보이드(void)를 유발하여 소자특성을 저하시킨다.

- <32> 또한, 두꺼운 제3층간절연막(22)을 한번에 식각하여 스토리지노드콘택홀(24)을 형성함에 따라 스토리지노드콘택홀(24)의 프로파일(profile)이 경사지게 되어 오픈면적이 좁아지는 문제가 있다(도 2b 및 도 2c 참조).
- <33> 이와 같이 좁아진 오픈면적의 확대를 위해 종래 기술은 스토리지노드콘택홀 스토리지노드콘택홀(24) 형성후에 습식세정을 적용하는데, 이런 경우 습식케미컬에 의해 하부층의 어택이 발생하여 소자의 폐일을 유발하는 문제가 있다(도 2d 참조).

【발명이 이루고자 하는 기술적 과제】

- <34> 본 발명은 상기한 종래 기술의 문제점을 해결하기 위해 안출한 것으로, 스토리지노드콘택 식각시 비트라인하드마스크가 손상되는 것을 방지하는데 적합한 반도체 소자의 제조 방법을 제공하는데 그 목적이 있다.
- <35> 또한, 본 발명의 다른 목적은 스토리지노드콘택의 오픈면적을 확보하기 위한 습식세정시 하부층이 습식케미컬에 의해 어택받는 것을 방지하는데 적합한 반도체 소자의 제조 방법을 제공하는데 있다.

【발명의 구성 및 작용】

- <36> 상기 목적을 달성하기 위한 본 발명의 반도체 소자의 제조 방법은 플러그가 형성된 반도체 기판 상에 제1층간절연막을 형성하는 단계, 상기 제1층간절연막의 표면 상에 적어도 배선막과 하드마스크의 순서로 적층되는 복수개의 비트라인패턴을 형성하는 단계, 상기 복수개의 비트라인패턴을 포함한 상기 제1층간절연막 상에 제1배리어층을 형성하는 단계, 상기 복수개의

비트라인패턴 사이를 충분히 채울때까지 상기 제1배리어층 상에 제2층간절연막을 형성하는 단계, 상기 비트라인패턴 사이에 상기 제2층간절연막을 일부 잔류시키는 단계, 상기 잔류하는 제2층간절연막 및 상기 제1배리어층 상에 상기 비트라인패턴의 상단부 및 모서리를 덮는 제1두께가 상기 비트라인패턴의 측면부를 덮는 제2두께보다 두꺼운 형태의 단차피복성을 갖는 제2배리어층을 형성하는 단계, 및 상기 제2배리어층을 에치백하여 상기 플러그 표면을 노출시키는 스토리지노드콘택홀을 형성함과 동시에 상기 비트라인패턴의 측면부에 상기 제2층간절연막으로 된 스페이서를 형성하는 단계를 포함하는 것을 특징으로 하며, 상기 제2층간절연막의 부분 자기정렬콘택식각은, 15mtorr~50mtorr의 압력에서 1000W~2000W의 파워를 인가하여 진행하고, $C_4F_8/C_5F_8/C_4F_6/CH_2F_2/Ar/O_2/CO/N_2$ 조합을 식각가스로 이용하여 이루어지는 것을 특징으로 하고, 상기 제1배리어층은 저압증착방식을 이용하여 형성하고, 상기 제2배리어층은 플라즈마증착방식을 이용하여 형성하는 것을 특징으로 하며, 상기 제2배리어층은 질화막이고, 상기 질화막은 SiH_4/NH_3 를 소스가스로 하고, 500℃~550℃ 온도에서 500Å~2000Å의 두께로 증착하는 것을 특징으로 한다. 그리고, 상기 제2배리어층의 에치백은, 15mtorr~50mtorr의 압력에서 1000W~2000W의 파워를 인가하여 진행하고, $C_4F_8/C_5F_8/C_4F_6/CH_2F_2/Ar/O_2/CO/N_2$ 조합을 식각가스로 이용하여 이루어지는 것을 특징으로 한다.

<37> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

<38> 도 3a 내지 도 3e는 본 발명의 제1실시예에 따른 반도체 소자의 제조 방법을 도시한 공정 단면도이다. 도 3a 내지 도 3e에서, 좌측 도면은 도 1a의 A-A'선에 따른 공정 단면도이고, 우측 도면은 도 1a의 B-B'선에 따른 공정 단면도이다.

<39> 도 3a에 도시된 바와 같이, 반도체 기판(31)에 활성영역을 정의하는 필드산화막(32)을 형성하고, 반도체 기판(31) 상에 워드라인스페이서(34)를 구비하는 워드라인(33)을 형성하며, 워드라인(33) 상부에 제1층간절연막(35)을 형성한다. 그리고, 제1층간절연막(35)을 식각하여 제1플러그용 콘택홀을 형성한 후, 제1플러그용 콘택홀에 도전막을 증착한 후 화학적기계적연마하여 제1플러그(36a, 36b)를 형성한다. 이때, 제1플러그(36a, 36b)은 폴리실리콘플러그로서, 하나(36b)는 스토리지노드콘택이 콘택될 플러그이고, 다른 하나(36a)는 비트라인이 콘택될 플러그이다.

<40> 다음으로, 평탄화된 제1플러그(36a, 36b) 및 제1층간절연막(35) 상에 제2층간절연막(37)을 형성한 후, 제2층간절연막(37)을 식각하여 비트라인이 콘택될 제1플러그(36b)를 개방시키는 비트라인콘택홀(도시 생략)을 형성한다. 다음에, 비트라인콘택홀에 배리어메탈(38)을 형성하고, 배리어메탈(38) 상에 비트라인배선막(39), 비트라인하드마스크(40)의 순서로 적층된 비트라인패턴을 형성한 후, 비트라인패턴을 포함한 전면에 비트라인스페이서로 작용하는 제1배리어층(41)을 50 Å ~ 300 Å 두께로 형성한다. 이때, 배리어메탈(38)은 티타늄나이트라이드(TiN)을 이용하고, 비트라인배선막(39)은 텅스텐(W)을 이용하며, 비트라인하드마스크(40) 및 제1배리어층(41)은 저압방식을 이용하여 증착한 질화막(Nitride)을 이용한다.

<41> 다음에, 비트라인패턴 사이를 충분히 채울때까지 제1배리어층(41) 상에 제3층간절연막(42)을 증착한 후 평탄화한다. 이때, 제3층간절연막(42)은 비트라인패턴의 종횡비를 고려하여 보이드없이 증착하기 위해 두번에 걸쳐 증착하는데, 예를 들면, HDP(High Density Plasma) 산화막을 두번에 걸쳐 총 5000 Å ~ 10000 Å의 두께로 증착한다.

<42> 도 3b에 도시된 바와 같이, 제3층간절연막(42) 상에 라인 형태의 자기정렬콘택마스크(43)를 형성한 후, 1차로 부분 자기정렬콘택식각(partial SAC)을 진행한다. 예컨대, 자기정렬

콘택마스크(43)를 식각마스크로 제3층간절연막(42)을 식각하되 비트라인패턴 사이의 제1배리어층(41) 상에 제3층간절연막(42)이 일부(42a) 잔류하도록 부분 식각하는데, 식각타겟은 1500 Å ~ 5000 Å으로 한다. 즉, 잔류하는 제3층간절연막(42a)의 두께는 비트라인배선막(39)의 높이와 동일하다.

<43> 한편, 1차 자기정렬콘택식각은 15mtorr~50mtorr의 압력에서 1000W~2000W의 파워를 인가하여 진행하고, 식각 가스로는 $C_4F_8/C_5F_8/C_4F_6/CH_2F_2/Ar/O_2/CO/N_2$ 조합을 이용한다.

<44> 도 3c에 도시된 바와 같이, 300:1 BOE(Buffered Oxide Etchant, $H_2SO_4+H_2O$)을 이용한 세정을 실시하여 식각시 발생한 폴리머를 제거한다. 이와 같은 세정을 통해 후속 스토리지노드 콘택홀의 오픈면적을 최대한 확대시키는 것이 가능하다.

<45> 위와 같은 1차 자기정렬콘택 식각후 진행하는 습식 세정 공정이 배리어특성이 우수한 제1배리어층(41)이 잔류한 상태에서 이루어지므로 습식케미컬(wet chemical)에 의해 하부층인 제2층간절연막(37) 및 제1플러그(36a, 36b)가 어택받지 않는다.

<46> 도 3d에 도시된 바와 같이, 자기정렬콘택마스크(43)를 제거한 후, 전면에 플라즈마방식(Plasma Enhanced)을 이용하여 제2배리어층(44)으로서 질화막을 증착한다. 이하, 제2배리어층(44)은 PE-질화막(44)이라고 약칭하기로 하며, PE-질화막(44)은 오버행(Over-Hang) 프로파일을 가지는 방식으로 증착하여 비트라인패턴을 보강함과 동시에 비트라인하드마스크(40)의 마진을 확보한다. 이때, PE-질화막(44)은 SiH_4/NH_3 를 소스가스로 하고, 500℃~550℃ 온도에서 500 Å ~ 2000 Å의 두께로 증착한다.

<47> 위와 같은 오버행 프로파일을 갖는 PE-질화막(44)은 저압방식(Low Pressure)을 이용한 질화막과는 다르게 단차피복성(step coverage)이 매우 열악하다. 즉, 비트라인패턴의 측면부에

증착되는 측면 두께(d_1)에 비해 비트라인패턴의 상면부 및 모서리에 증착되는 상단 두께(d_2)가 더 두껍다($d_2 > d_1$). 아울러, 비트라인패턴 사이에 잔류하는 제2층간절연막(42a) 표면상에 증착되는 하단 두께(d_3)는 비트라인패턴의 상면부에 증착되는 상단 두께(d_2) 보다는 얇고 측면 두께(d_1)보다는 두껍다. 예를 들면, PE-질화막(44)의 단차피복성은, 측면부:상단부는 0.5:1이고, 하단부:상단부는 0.7:1이다. 결국, 상단부의 증착 두께가 가장 두껍고 측면부가 가장 얇으며 하단부는 상단부와 측면부의 중간 정도의 두께로 증착된다. 특히, 측면부:상단부의 0.5:1의 단차피복성에서 알 수 있듯이, 측면부에 증착할 수 있는 두께의 2배의 두께를 상단부에 증착한다.

<48> 이와 같은 열악한 단차피복성은 플라즈마를 발생시키는 파워 및 가스 등을 변화시킴으로써 변화시킬 수 있고, 또한 PE-질화막(44)은 저압방식의 질화막에 비해 200℃ 정도 낮은 온도에서 증착할 수 있으므로 열부담을 감소시킬 수 있다. 한편, 저압방식의 질화막의 증착온도는 760℃이다.

<49> 도 3e에 도시된 바와 같이, 마스크없이 PE-질화막(44)을 하드마스크로 하여 2차 자기정렬콘택 식각을 진행한다. 예컨대, PE-질화막(44)을 에치백하는데, 비트라인패턴의 상단부와 비트라인패턴간 하단부가 비트라인패턴의 측면부에 비해 더 빨리 식각되는 에치백 공정을 진행한다. 이와 같은 에치백 공정후에는 비트라인패턴의 측면부에 스페이서 형태로 잔류시키던 통상적인 에치백 공정과는 달리 PE-질화막(44)의 증착 특성으로 인해 에치백후 비트라인패턴의 상부 및 비트라인패턴의 측면부에 모두 PE-질화막(44a)이 잔류한다. 즉, 최초 증착한 PE-질화막(44)이 하단

부에 증착된 두께가 상단부에 증착된 두께보다 얇기 때문에 에치백공정시 하단부와 상단부의 식각률이 동일하다고 하면, 에치백 공정이 완료된 후 상단부에는 어느 정도의 두께로 잔류하는 것이다. 한편, 에치백 공정의 특성상 측면부는 상단부 및 하단부에 비해 식각률이 낮기 때문에 그 두께가 상단부 및 하단부에 비해 얇더라도 에치백공정이 완료된 후 잔류한다.

<50> 아울러, PE-질화막(44)의 에치백시 PE-질화막(44)에 비해 선택비가 낮은 비트라인패턴 사이에 잔류하는 제3층간절연막(42a) 및 제1배리어층(41), 그리고 제2층간절연막(37)도 동시에 에치백되어 제1플러그(36a) 표면을 완전히 개방시키는 스토리지노드콘택홀(45)이 형성된다. 여기서, 제1배리어층(41)은 PE-질화막(44)과 동일한 선택비를 가지고 있으나, 비트라인패턴간 하단부에 증착된 PE-질화막(44)과 동일하게 에치백된다.

<51> 전술한 바와 같은 일련의 2차 자기정렬콘택식각후에 비트라인패턴 상부 및 비트라인패턴의 측면부에 잔류하는 PE-질화막(44a)은 2차 자기정렬콘택식각시 배리어 역할을 하는 것으로, 비트라인패턴의 어깨부, 특히 비트라인하드마스크(44)가 손상되는 것을 방지하여 비트라인패턴의 불량을 억제한다.

<52> 아울러, PE-질화막(44) 식각이 에치백특성상 비트라인패턴 상면부와 바닥부에서 다량 발생하므로 비트라인패턴의 측면부에 잔류하는 PE-질화막(44a)은 제3층간절연막(42a)식각시 배리어 역할을 하고, 이로써 비트라인패턴을 이루는 비트라인의 측면에 제3층간절연막(42b)이 스페이서 형태로 잔류한다. 즉, 배리어메탈(38)과 비트라인(39)의 양측면에는 제1배리어층(41)과 제3층간절연막(42b)의 이중스페이서가 형성되고, 비트라인하드마스크(40)의 양측면에는 제1배리어층(41)과 PE-질화막(44a)의 이중스페이서가 형성된다.

- <53> 한편, 2차 자기정렬콘택식각은 15mtorr~50mtorr의 압력에서 1000W~2000W의 파워를 인가하여 진행하고, 식각 가스로는 $C_4F_8/C_5F_8/C_4F_6/CH_2F_2/Ar/O_2/CO/N_2$ 조합을 이용한다.
- <54> 위와 같이, 비트라인(39)의 양측면에 HDP 산화막으로 된 제3층간절연막(42b)이 잔류하면 질화막 계열이 스페이서로 잔류하는 것에 비해 비트라인 캐패시턴스값을 감소시킬 수 있는 부가적인 효과가 있다.
- <55> 도 4는 PE-질화막의 에치백후의 A-A' 단면을 도시한 사진이고, 도 5는 PE-질화막의 에치백후의 B-B' 단면을 도시한 사진으로서, 비트라인패턴의 상부에 PE-질화막이 일정 두께로 잔류하고 있으며, 이로 인해 비트라인하드마스크가 손상되지 않고 그 형태를 유지하고 있음을 알 수 있다. 또한, 비트라인하드마스크의 양측면에는 PE-질화막이 스페이서로 잔류하고, 비트라인의 양측면에는 제3층간절연막이 스페이서로 잔류하고 있음을 알 수 있다.
- <56> 그리고, 스토리지노드콘택홀의 프로파일이 수직프로파일로 형성되고 있음을 알 수 있다.
- <57> 도 6은 PE-질화막의 에치백후의 평면을 도시한 사진으로서, 도 2b의 종래기술에 비해 상대적으로 넓은 오픈면적이 확보되고 있음을 알 수 있다.
- <58> 상술한 실시예에 따르면, 스토리지노드콘택 식각시 미리 PE-질화막을 형성하여 비트라인하드마스크와의 선택비를 개선하므로 자기정렬콘택 식각 마진이 증대되고, 비트라인의 스페이서로 산화막스페이서를 적용하여 비트라인 캐패시턴스값을 개선시키며, 스토리지노드콘택홀의 완전 오픈전에 미리 습식식각을 적용하여 하부층의 어택을 방지한다.
- <59> 또한, 2차 스토리지노드콘택식각이 감광막을 이용한 마스크를 적용하지 않고 PE-질화막만을 이용하므로 폴리머 발생을 최소화하여 수직 프로파일을 확보하여 오픈면적을 최대한 확보하면서 콘택오픈불량을 방지한다.

<60> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

【발명의 효과】

<61> 전술한 바와 같은 본 발명은 스토리지노드콘택 식각시 비트라인하드마스크와의 선택비 개선으로 자기정렬콘택 공정의 마진을 증대시킬 수 있고, 하부층 오픈전에 습식식각을 적용함으로써 습식케미컬에 의한 하부층의 어택이 없으며, 감광막을 적용하지 않으면서 스토리지노드콘택을 완전히 개방시키므로 수직프로파일을 확보하여 오픈면적 확보 및 콘택오픈불량을 개선시킬 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

플러그가 형성된 반도체 기판 상에 제1층간절연막을 형성하는 단계;

상기 제1층간절연막의 표면 상에 적어도 배선막과 하드마스크의 순서로 적층되는 복수개의 비트라인패턴을 형성하는 단계;

상기 복수개의 비트라인패턴을 포함한 상기 제1층간절연막 상에 제1배리어층을 형성하는 단계;

상기 복수개의 비트라인패턴 사이를 충분히 채울때까지 상기 제1배리어층 상에 제2층간절연막을 형성하는 단계;

상기 비트라인패턴 사이에 상기 제2층간절연막을 일부 잔류시키는 단계;

상기 잔류하는 제2층간절연막 및 상기 제1배리어층 상에 상기 비트라인패턴의 상단부 및 모서리를 덮는 제1두께가 상기 비트라인패턴의 측면부를 덮는 제2두께보다 두꺼운 형태의 단차피복성을 갖는 제2배리어층을 형성하는 단계; 및

상기 제2배리어층을 에치백하여 상기 플러그 표면을 노출시키는 스토리지노드콘택홀을 형성함과 동시에 상기 비트라인패턴의 측면부에 상기 제2층간절연막으로 된 스페이서를 형성하는 단계

를 포함하는 반도체 소자의 제조 방법.

【청구항 2】

제1항에 있어서,

상기 비트라인패턴 사이에 상기 제2층간절연막을 일부 잔류시키는 단계후에,
상기 잔류하는 제2층간절연막을 상기 제1배리어층을 식각배리어로 하여 일부 습식식각하는 단계
를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 3】

제1항에 있어서,
상기 비트라인패턴 사이에 상기 제2층간절연막을 일부 잔류시키는 단계는,
상기 제2층간절연막 상에 스토리지노드콘택마스크를 형성하는 단계; 및
상기 스토리지노드콘택마스크를 식각마스크로 하여 상기 제2층간절연막을 부분 자기정렬콘택식각하되, 상기 비트라인패턴의 배선막 높이만큼 상기 제2층간절연막을 잔류시키는 단계
를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 4】

제3항에 있어서,
상기 제2층간절연막의 부분 자기정렬콘택식각은, 15mtorr~50mtorr의 압력에서 1000W~2000W의 파워를 인가하여 진행하고, $C_4F_8/C_5F_8/C_4F_6/CH_2F_2/Ar/O_2/CO/N_2$ 조합을 식각가스로 이용하여 이루어지는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 5】

제1항에 있어서,

상기 제1배리어층은 저압증착방식을 이용하여 형성하고, 상기 제2배리어층은 플라즈마증착방식을 이용하여 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 6】

제5항에 있어서,

상기 제2배리어층은 질화막이고, 상기 질화막은 SiH_4/NH_3 를 소스가스로 하고, $500^\circ\text{C} \sim 550^\circ\text{C}$ 온도에서 $500\text{\AA} \sim 2000\text{\AA}$ 의 두께로 증착하는 것을 특징으로 하는 반도체 소자의 제조 방법.

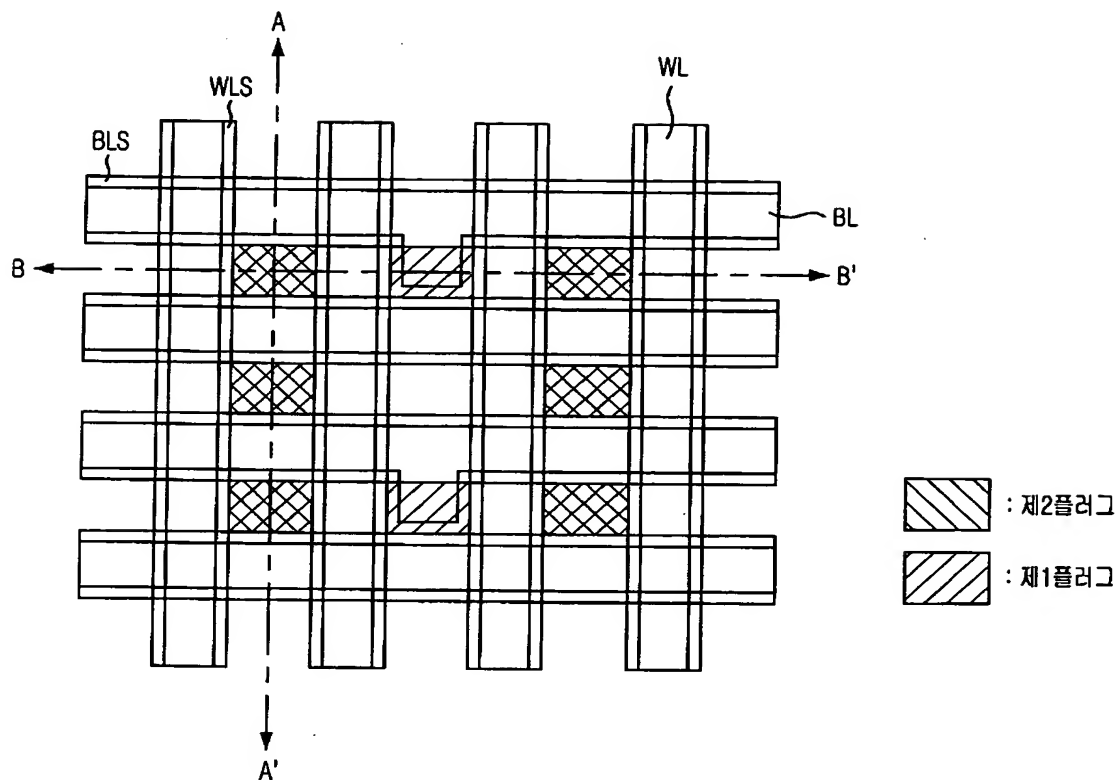
【청구항 7】

제1항에 있어서,

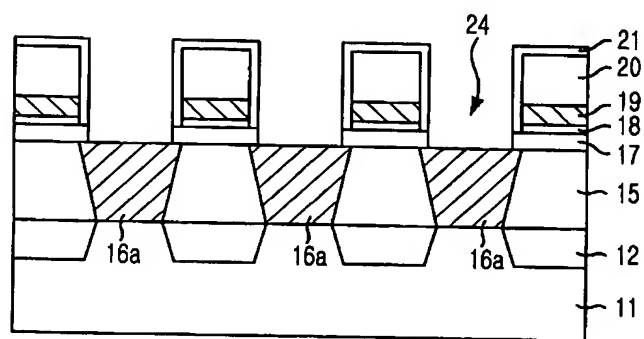
상기 제2배리어층의 에치백은, $15\text{mtorr} \sim 50\text{mtorr}$ 의 압력에서 $1000\text{W} \sim 2000\text{W}$ 의 파워를 인가하여 진행하고, $\text{C}_4\text{F}_8/\text{C}_5\text{F}_8/\text{C}_4\text{F}_6/\text{CH}_2\text{F}_2/\text{Ar}/\text{O}_2/\text{CO}/\text{N}_2$ 조합을 식각가스로 이용하여 이루어지는 것을 특징으로 하는 반도체 소자의 제조 방법.

【도면】

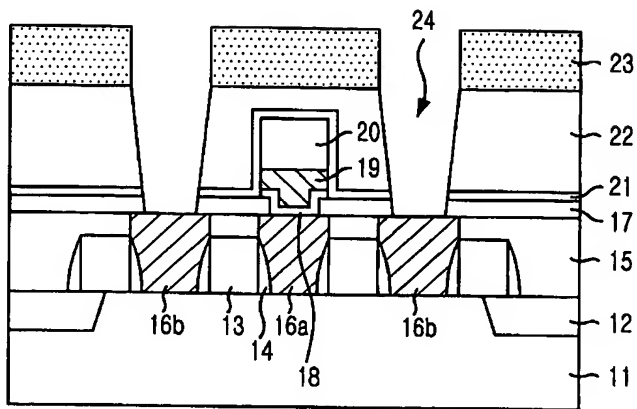
【도 1a】



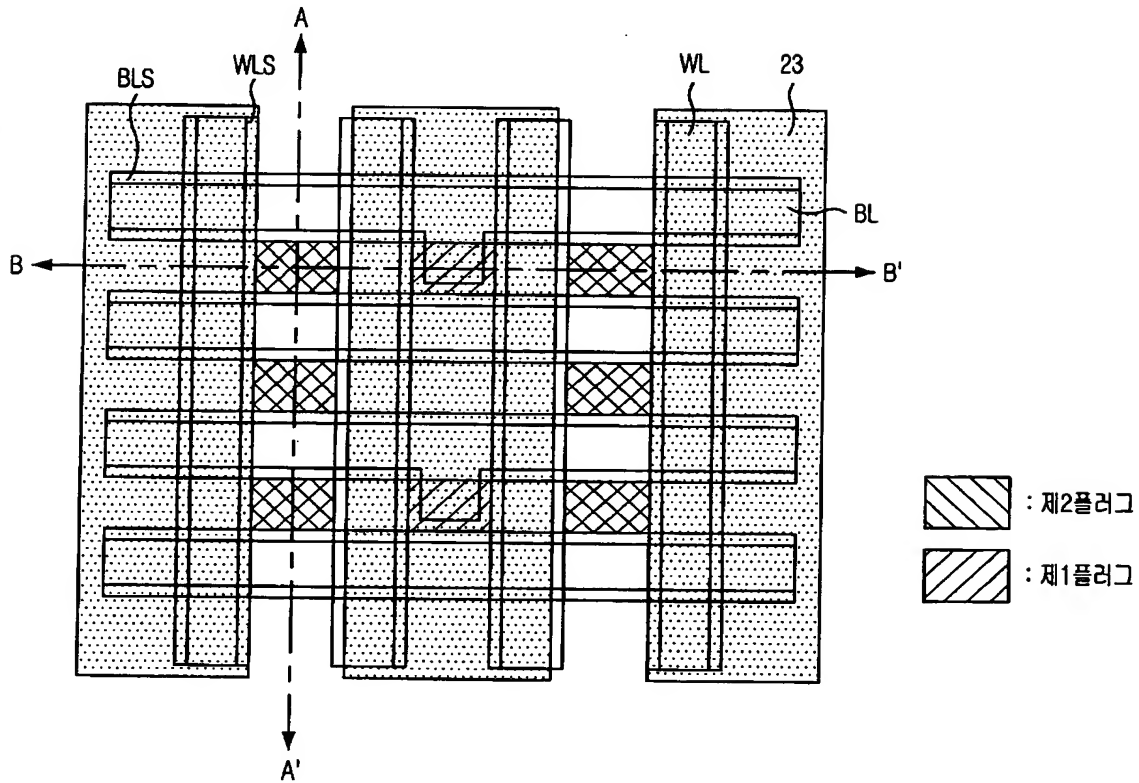
【도 1b】



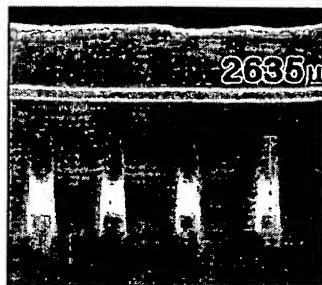
【도 1c】



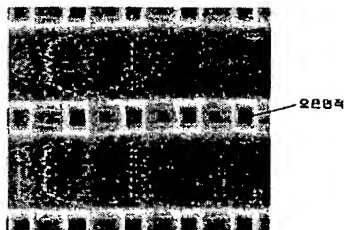
【도 1d】



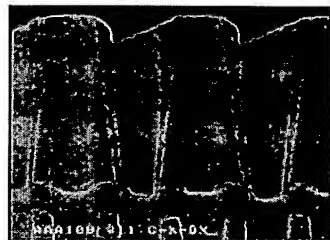
【도 2a】



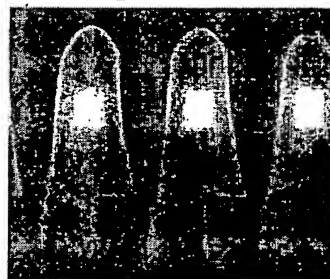
【도 2b】



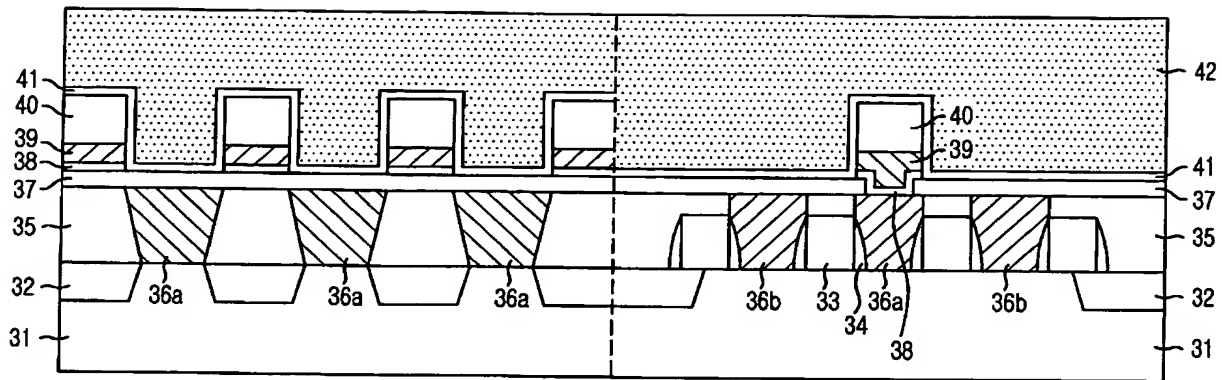
【도 2c】



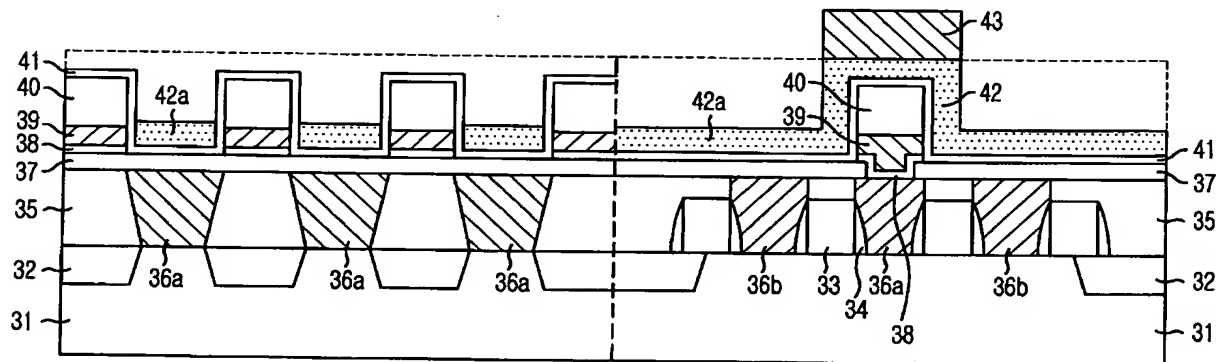
【도 2d】



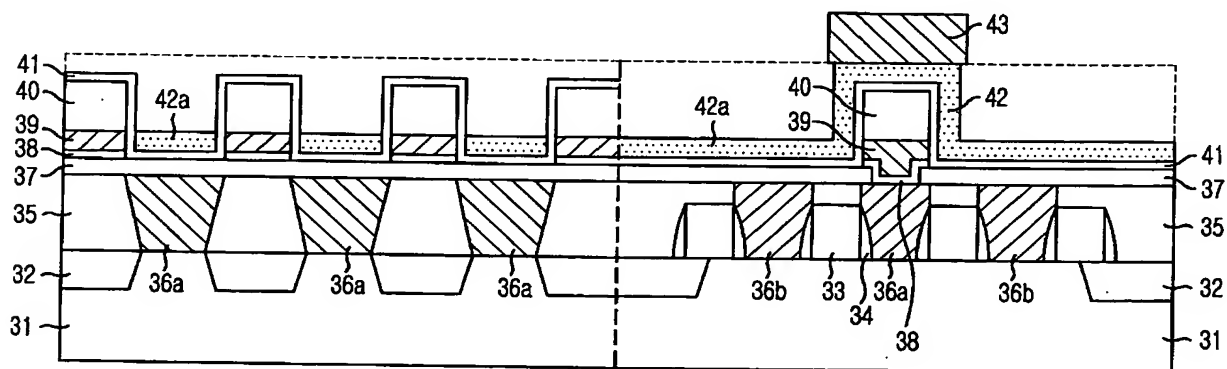
【도 3a】



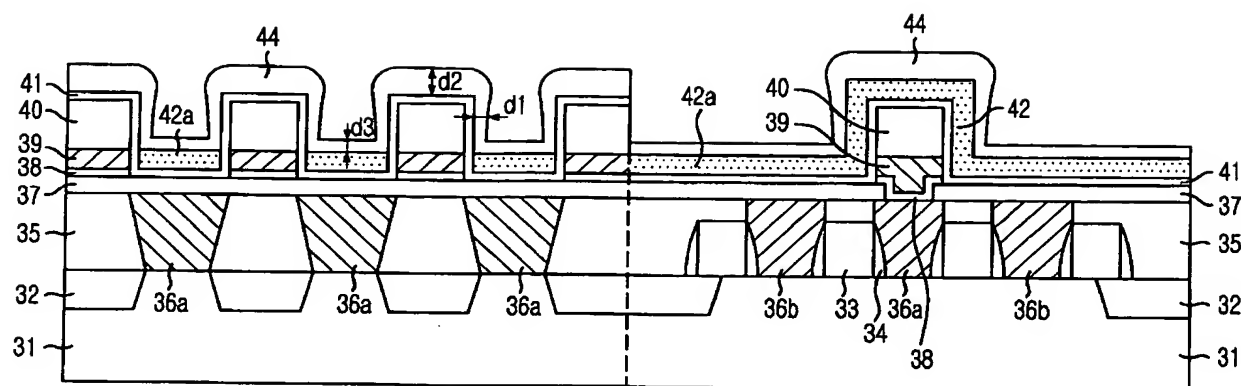
【도 3b】



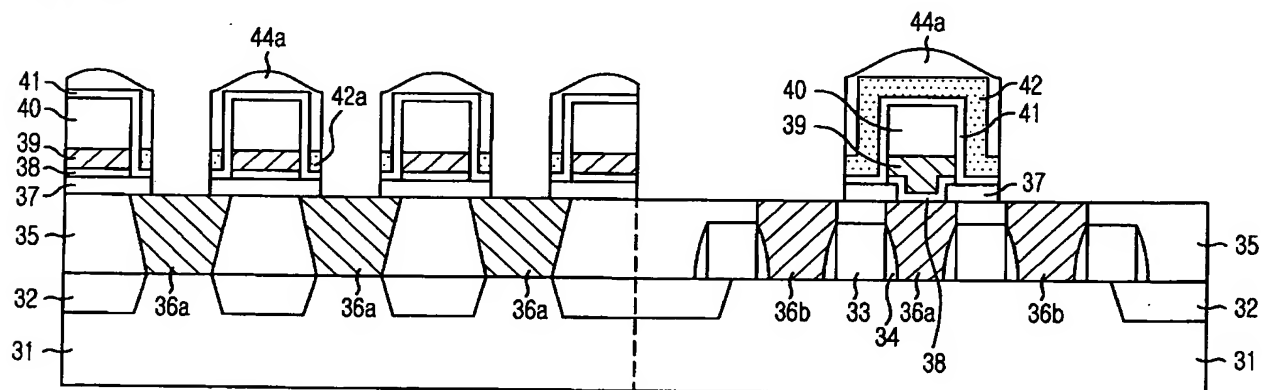
【도 3c】



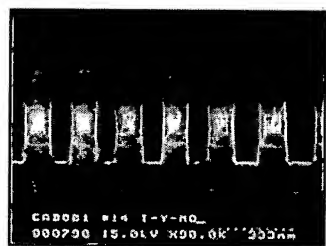
【도 3d】



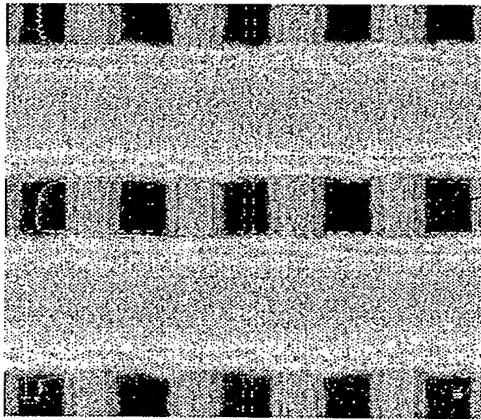
【도 3e】



【도 4】



【도 5】



오픈면적

【도 6】

